

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 3-108319 (A) (43) 8.5.1991 (19) JP

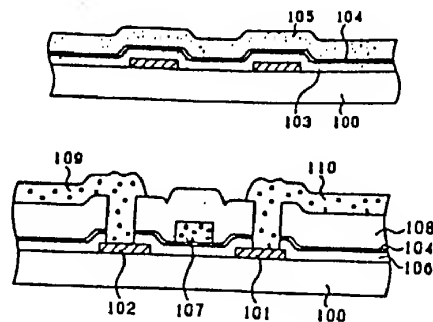
(21) Appl. No. 64-245581 (22) 21.9.1989

(71) SEIKO EPSON CORP (72) MASABUMI KUNII

(51) Int. Cl.³ H01L21/20, H01L21/324, H01L29/784

PURPOSE: To improve the performance of a thin film transistor by continuously laminating Si of an active layer, a gate insulating film, and a gate electrode in the same chamber.

CONSTITUTION: By low pressure CVD method, plasma CVD method, etc., an N⁺ type polycrystalline Si film is formed on an insulative substrate 100, and a source region 101 and a drain region 102 are formed by patterning. An undoped a-Si thin film 103 is deposited on the substrate 100 by using SiH₄ gas, and an SiO₂ film 104 is formed by ECR plasma CVD using mixed gas of SiH₄ and N₂O. An N⁺ type a-Si thin film 105 is formed by using mixed gas of SiH₄ and N₂, and the a-Si on the uppermost part is patterned to form a gate electrode 107 pattern. A semiconductor layer is subjected to solid-phase growth, thereby forming a polycrystalline silicon thin film 106 of large grain whose diameter is 1 μ m. An interlayer insulating film 108 is laminated by LPCVD method or the like, a contact hole is formed in the films 108, 104, and a source electrode 109 and a drain electrode 110 are formed. Thereby a thin film transistor of high performance can be manufactured.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-108319

⑫ Int. Cl.

機別記号

庁内整理番号

⑬ 公開 平成3年(1991)5月8日

H 01 L 21/20
21/324
29/784

7739-5F

9056-5F H 01 L 29/78 3 1 1 G

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-245581

⑯ 出 願 平1(1989)9月21日

⑰ 発 明 者 国 井 正 文 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁基板上に第1の非晶質半導体薄膜を堆積させる工程、該非晶質半導体薄膜上に絶縁性非晶質薄膜を積層する工程、該絶縁性非晶質薄膜上に第2の非晶質半導体薄膜を積層する工程を有し、前記非晶質半導体、前記絶縁性非晶質薄膜、前記第2の非晶質半導体薄膜を堆積する工程をすべて同一チャンバー内で行うことを特徴とする半導体装置の製造方法。

(2) 前記第1の非晶質半導体薄膜と、前記第2の非晶質半導体薄膜をアニールして固相成長させる工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

(3) 前記絶縁性非晶質薄膜はMOS型電界効果トランジスタのゲート絶縁膜であることを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体装置の製造方法に関する。

【従来の技術】

近年、大型で高解像度の液晶表示パネル、高速で高解像度の密着型イメージセンサ、三次元IC等への実現に向けて、ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。特に大型の液晶表示パネル等においては、低コストの要求を満たすため、安価な低融点ガラス上に薄膜トランジスタ(TFT)を形成することが必須の要求になりつつある。従来は、低融点ガラス基板上に形成するTFTの活性層に、例えば

Journal of Applied Physics vol.65(10) p.3951 (1989) 等にみられるように非晶質Si(a-Si)を用いたものがあり、ゲート絶縁膜には、IEEE Electron Device Letters, Vol.10(8) p.245 (1989) 等にみられるようにプラズマ化学気相成長法(PCVD)を用いたもの、Applied

Physics Letters Vol.50(17) p.1167 (1987)等にみられるように減圧化学気相成長法(LPCVD)を用いたもの、Electronics Letters Vol.24(3) p.172 (1988)、等にみられるように光化学気相成長法を用いたものがあり、いずれも低温成膜法で作製したSiO₂薄膜を用いてきた。

【発明が解決しようとする課題】

しかし、TFTの活性層をa-Siで作成すると、a-Si中の電界効果電子移動度が小さく、かつTFTのゲート絶縁膜の形成を低温(<800℃)で行なうので、高温酸化法で形成したゲート絶縁膜と比較すると膜質が劣り、高性能のTFTが実現できないという問題点があった。

この問題を解決するため例えば Hydrogenated Amorphous Silicon Devices and Technology, IBM, p.275 (1988) 等にみられるように、活性層のa-Siをアニールによる固相成長で大粒多結晶Siを形成し、高性能化を図る試みもある。しかしこの場合もゲート絶縁膜の形成を800℃という比較的低温の湿式酸化法で形成するため、

【実施例】

以下、第1図を基に本発明の半導体装置の製造方法を説明する。本実施例では非晶質半導体の例に非晶質Si(a-Si)を用いて説明する。まず石英基板或はガラス基板等の絶縁基板100上に減圧CVD法、またはプラズマCVD法等により、n⁺型多結晶Siを約3000~5000Å成膜する。尚、基板にはSiO₂で覆われたSiウェハを用いることもある。この時の成膜ガスにはSiH₄、H₂の混合ガスを用い、ドーピングガスにPH₃等を用いる。前記不純物としてはPchトランジスタを作成するときはB⁺等を用い、Nchトランジスタを作成するときはP⁺、As⁺等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法や、プラズマドーピング法等を用いてもよい。高耐熱性基板を使用しているときは、不純物の活性化に熱拡散法を用いることができるが、低融点ガラスを基板に使用しているときは、レーザードーピング法やECRプラズマドーピング法などのような低温でもイオン

1100℃以上の高温熱酸化法による酸化膜と比較すると膜質は劣るといふ問題点があった。

本発明は以上の問題点を解決するもので、その目的は低温プロセスを用いて高性能のTFTを作成することにある。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、

- (1) 絶縁基板上に第1の非晶質半導体薄膜を堆積させる工程、該非晶質半導体薄膜上に絶縁性非晶質薄膜を積層する工程、該絶縁性非晶質薄膜上に第2の非晶質半導体薄膜を積層する工程を有し、前記第1の非晶質半導体、前記絶縁性非晶質薄膜、前記第2の非晶質半導体薄膜を堆積する工程をすべて同一チャンバー内で行うことを特徴とする。
- (2) 前記第1の非晶質半導体薄膜と、前記第2の非晶質半導体薄膜をアニールして固相成長させる工程を有することを特徴とする。
- (3) 前記絶縁性非晶質薄膜はMOS型電界効果トランジスタのゲート絶縁膜であることを特徴とする。

活性化が可能な方法を通常は用いる。しかし、本実施例ではa-Si堆積後に固相成長工程を通過するので、a-Si中の不純物は固相成長工程によって活性化される。このため、レーザードーピングのような不純物活性化工程の必要はない。ドーピング濃度は $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度とする。このn⁺多結晶Siをパタニングし、ソース領域101及びドレイン領域102を作製する(第1図(a))。

続いてこの上に非晶質半導体/絶縁体/非晶質半導体の3層積層構造を形成する。石英基板或はSiO₂で覆われたSiウェハを用いる場合は1200℃の高温プロセスにも耐えられるが、ガラス基板を用いる場合は軟化温度が低いため約600℃以下の低温プロセスに制限される。まず始めに絶縁基板100上にノンドーパースi薄膜103を約1500Å堆積させる。a-Si薄膜は、一層で微小な結晶粒は含まれていないことが望ましい。ECRプラズマ装置によるa-Siの成膜には、SiH₄ガスを用いる。続いて成膜ガスを

SiH₄とN₂Oの混合ガスに切り換え、ECRプラズマCVDによりa-Si表面上に連続してSiO₂膜104を500~800Å成膜する。ゲート絶縁膜に窒化Siを用いる場合には、成膜ガスにSiH₄とN₂、またはNH₃の混合ガスを用いる。次にガスをSiH₄、PH₃の混合ガスに切り替え、n⁺a-Si105を約8000Å成膜して前記3層構造を作る(第1図(b))。ECRプラズマで成膜したSi、SiO₂、SiN_x薄膜は、膜中の水素含有量が通常のプラズマCVDで成膜した膜に比べ、小さいという特徴がある。このため、固相成長アニール時に膜中から水素が抜けることによる膜のポーラス化を防げるという利点がある。

Si/SiO₂/Si 3層構造の作成は、通常のPCVD法でも行うことができる。通常のPCVDを用いる場合は、成膜ガスは基本的にはECRプラズマの場合と同様だが、Si、SiO₂のいずれを成膜する場合でも成膜ガスをHeガスで希釈したガスを用いる。He希釈ガスを用いると、

粒径約1μmの大粒径多結晶Si薄膜106ができる(第1図(c))。

続いて第1図(d)に示すように、層間絶縁膜108を積層する。層間絶縁膜にはLPCVD法等によるSiO₂膜を数千Å~数μm積層するのが最も一般的である。また層間絶縁膜には窒化Si膜等でもよい。この段階で、水素プラズマ法、水素イオン注入法、或はプラズマ窒化膜からの水素の拡散等の方法で、水素イオンを活性層中に導入すると、ゲート絶縁膜/Si界面や、結晶粒界等に存在するダングリングボンドが終端化され、欠陥単位密度が減る効果がある。このような水素化工程は、層間絶縁膜108を積層する前に行ってもよい。

最後に層間絶縁膜108及びゲート絶縁膜にコンタクトホールを空け、ソース電極109及びドレイン電極110を形成する。ソース及びドレイン電極は、Alなどの金属材料で形成する(第1図(e))。以上本発明は石英基板、あるいはガラス基板の様な非晶質基板を例に取って説明し

膜中の水素含有量を減らせるので、通常のPCVDを用いてもECRプラズマCVDを用いたときと同様の効果が得られるからである。または、Journal of Non-Crystalline Solids vol.107 p.295, (1989)等にもみられるように、遠隔プラズマCVD法を用いて基板温度370℃以上でSi、SiO₂を成膜してもよい。この方法によれば、a-Si中に含まれる水素をほぼ完全に0にできる。続いて該3層構造最上部のa-Siをゲート電極107のパターンにパタニングする。

このようにして作成した半導体/絶縁体/半導体3層構造をアニールして半導体層を固相成長させる。固相成長方法は石英管による炉アニールがよい。アニール雰囲気としては、真空ガス、ヘリウムガス、アルゴンガス等を用いる。または、

$1 \times 10^{-4} \sim 1 \times 10^{-11}$ Torr程度の高真空雰囲気中でアニールを行ってもよい。固相成長温度は500~700℃とする。低温アニールでは選択的に、結晶成長の活性化エネルギーが小さい結晶方位を持つ結晶粒のみがゆっくりと成長し、

できたが、基板はサファイア、CaF₂等の結晶性基板でももちろん良い。

[発明の効果]

本発明の半導体装置の製造方法によれば、活性層のSiと、ゲート絶縁膜、及びゲート電極を同一チャンバー内で連続的に積層しているので、良好なSi/絶縁膜界面が実現できる。更に、固相成長工程を取り入れることによってTFTのON電流は増大し、OFF電流は低くなる。また全工程を600℃以下の比較的低温で行うことができるので、低コストのガラス基板が使用できることによるTFTアクティブマトリクス基板の低コスト化、大面積化や、TFTの高性能化による電源電圧、消費電流の低減にも寄与するところは大きい。

走査回路と光電変換素子とを同一基板上に集積化した密着型イメージセンサに本発明を応用した場合には、読み取り速度の高速化、高解像化、高感度化に大きな効果がある。高解像化の達成により密着型イメージセンサのフルカラー化も容易に

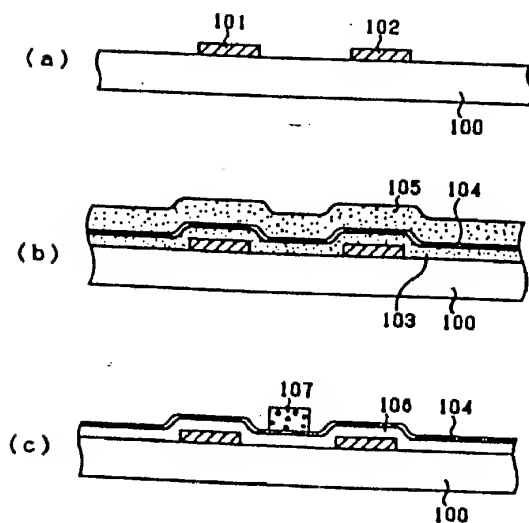
なる。また、低温プロセスによって作成が可能なので、密着型イメージセンサの長尺化が可能となり、1本のセンサでA4あるいはA3サイズのような大型ファクシミリ用のセンサを実現できる。

以上MOS型薄膜トランジスタを例に取って説明したが、バイポーラトランジスタ、ヘテロ接合バイポーラトランジスタ等の薄膜を応用した素子や、3次元SOI素子等に対しても本発明を適用できる。

4. 図面の簡単な説明

第1図は本発明の半導体装置の製造方法を示す工程図。

- 100 …… 絶縁基板
- 101 …… ソース領域
- 102 …… ドレイン領域
- 103 …… ノンドープa-Si薄膜
- 104 …… ゲート絶縁膜
- 105 …… n⁺a-Si薄膜
- 106 …… n⁺多結晶Si薄膜



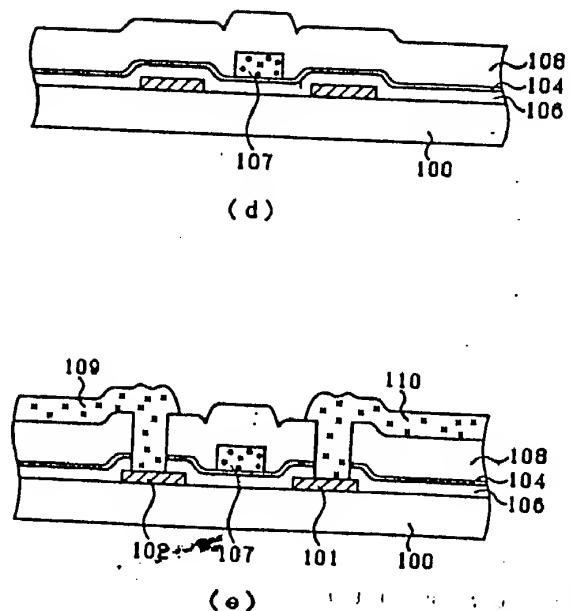
第1図

特開平3-108319(4)

- 107 …… ゲート電極
- 108 …… 層間絶縁膜
- 109 …… ソース電極
- 110 …… ドレイン電極

以上

出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木喜三郎 (他1名)



第1図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.